

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-090356

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

G01R 31/28  
H01L 21/66  
H01L 27/04  
H01L 21/822

(21)Application number : 08-243426

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 13.09.1996

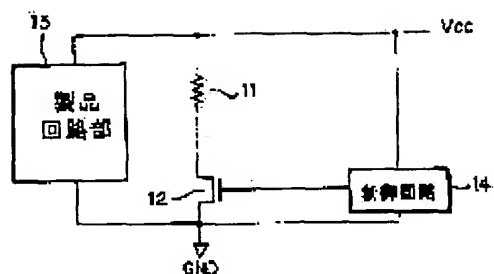
(72)Inventor : MATSUKAWA TOYOHISA

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To monitor the variation of characteristics among a plurality of product circuit sections by measuring electric currents with a plurality of monitor elements of the same specification connected to package pins at positions which are separated from each other on a semiconductor chip.

**SOLUTION:** A plurality of monitor elements 11 is arranged at positions separated from each other in the wiring areas, etc., of the semiconductor chips of a plurality of product circuit sections 13 correspondingly to the circuit sections 13. The elements 11 are arranged between a power source VDD and a ground GND respectively connected to package pins through a switch transistor 12. A control circuit 14 outputs an L-level signal to the transistor 12 in a normal mode and an H-level signal in a test mode. Therefore, when the Hlevel signal is outputted from the circuit 14 after a semiconductor device is set to the test mode, the transistor 12 is turned on and an electric current flows to the ground GND from the power source VDD through the elements 11. The variation of characteristics among the circuit sections 13 can be monitored based on the current flowing through the elements 11.



## LEGAL STATUS

[Date of request for examination]

20.08.1999

[Date of sending the examiner's decision of rejection]

04.09.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-90356

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.<sup>6</sup>  
G 0 1 R 31/28  
H 0 1 L 21/66  
27/04  
21/822

識別記号

F I  
G 0 1 R 31/28  
H 0 1 L 21/66  
27/04

V  
E  
T

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平8-243426

(22) 出願日 平成 8 年(1996) 9 月13日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通 1 丁目 1 番28号

(72) 発明者 松川 豊久

東京都千代田区内幸町 2 丁目 2 番 3 号 川崎製鉄株式会社内

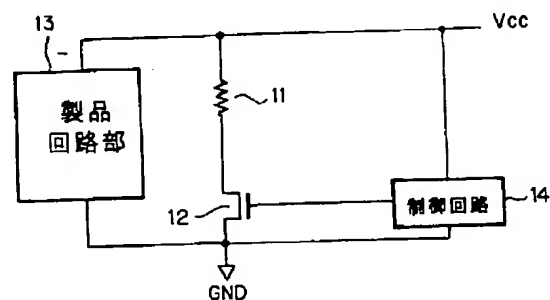
(74) 代理人 弁理士 小杉 佳男 (外 1 名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体チップ上に形成された半導体集積回路の特性をモニタすることのできる半導体装置を提供する。

【解決手段】電源ピンとグラウンドピンとの間に、スイッチトランジスタ 1 2 を介してモニタ素子 1 1 を配置し、テストモードにおいて制御回路 1 4 を経由してスイッチトランジスタ 1 2 をオン状態にして、モニタ素子 1 1 に流れる電流に基づいて製品回路部 1 3 の特性をモニタする。



## 【特許請求の範囲】

【請求項1】 半導体チップ上に形成された半導体集積回路と、該半導体集積回路に接続された、該半導体集積回路と外部回路とを接続するための複数のパッケージピンを有する、該半導体チップを封入するパッケージとを備えた半導体装置において、

前記半導体チップの相互に離れた位置に配置され該半導体集積回路に組み込まれた、特性のばらつきをモニタするための同一仕様の複数のモニタ素子を備え、該モニタ素子が前記パッケージピンに接続されてなることを特徴とする半導体装置。

【請求項2】 前記モニタ素子が、前記パッケージピンのうちの電源ピンとグラウンドピンとの間に、スイッチ回路を介して接続されてなることを特徴とする請求項1記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体チップ上に形成された半導体集積回路と、その半導体集積回路と外部回路とを接続するための複数のパッケージピンを有するパッケージとを備えた半導体装置に関する。

## 【0002】

【従来の技術】従来より、上述のような半導体装置を製造する場合、ウエハ上のチップとチップの間に、回路の特性をモニタするためのモニタ素子を配置しておき、ウエハプロセス終了後、モニタ素子の特性のばらつきを測定し、そのばらつきが管理値内にあれば、さらに、そのウエハにプローブを当てがって検査を行い、その後ダイシングによりウエハを個々のチップに切断して分離することにより半導体チップを得る。さらに、この半導体チップを、その半導体チップ上に形成された半導体集積回路と外部回路とを接続するための複数のパッケージピンを有するパッケージに封入する。このようにして半導体装置を製造する。

## 【0003】

【発明が解決しようとする課題】しかしこの半導体装置では、ウエハ上のチップとチップの間に配置されたモニタ素子はダイシングの際に破壊されているため、ダイシング後の半導体チップ上に形成された半導体集積回路の特性をモニタすることは困難である。半導体装置の中でも、特にアナログ回路が組み込まれたASICでは、チップの、アナログ回路を構成する各素子の値およびそれら素子どうしの相対誤差が重要なファクタであるが、製造されたASICでは、上述した理由によりこれらの情報を得ることが困難であるため、工程へのフィードバックを効率的に行なうことができないのが一般的である。従って、半導体装置の歩留りが低下した場合の調査が困難である。

【0004】また半導体装置が市場に出荷された後、性能の劣化等の不具合が発生した場合、半導体集積回路の

どの部分に起因する不具合なのかの調査が困難であり、対策に要する期間が長くなるという問題がある。本発明は、上記事情に鑑み、半導体チップ上に形成された半導体集積回路の特性をモニタすることのできる半導体装置を提供することを目的とする。

## 【0005】

【課題を解決するための手段】上記目的を達成する本発明の半導体装置は、半導体チップ上に形成された半導体集積回路と、その半導体集積回路に接続された、その半導体集積回路と外部回路とを接続するための複数のパッケージピンを有する、その半導体チップを封入するパッケージとを備えた半導体装置において、上記半導体チップの相互に離れた位置に配置されその半導体集積回路に組み込まれた、特性のばらつきをモニタするための同一仕様の複数のモニタ素子を備え、そのモニタ素子が上記パッケージピンに接続されてなることを特徴とする。

【0006】本発明の半導体装置は、半導体チップ上の相互に離れた位置に、パッケージピンに接続された特性のばらつきをモニタするための同一仕様の複数のモニタ素子が配置されているため、パッケージピンを経由して、それら複数のモニタ素子それぞれに流れる電流を測定することにより、複数のモニタ素子に対応して配置された複数の製品回路部の特性のばらつきをモニタすることができる。従って、複数の、例えば同一回路構成を有する製品回路部が均一に形成されたか否かを知ることができ、工程へのフィードバックが効率的に行われ歩留りが低下した場合の対策が容易になる。また市場で性能の劣化等の不具合が発生した場合であっても、その不具合品の原因調査や対策が短期間で済む。

【0007】ここで、上記モニタ素子が、上記パッケージピンのうちの電源ピンとグラウンドピンとの間に、スイッチ回路を介して接続されてなることが好ましい。電源ピンとグラウンドピンとの間にスイッチ回路を介してモニタ素子を接続すると、そのモニタ素子に流れる電流を電源電流に基づいて知ることができる。従って、モニタ素子専用のパッケージピンが不要になる。

## 【0008】

【発明の実施の形態】以下、本発明の実施形態について説明する。図1は、本発明の半導体装置の第1実施形態の主要部を示す回路図である。図1には、1つの製品回路部13が示されているが、実際には本実施形態の半導体装置に備えられた半導体チップには複数の製品回路部13が配置されている。これら複数の製品回路部13に対応して、その半導体チップの配線領域等の相互に離れた位置に複数のモニタ素子11が配置されている。このモニタ素子11は抵抗素子であり、スイッチトランジスタ12を介して、電源 $V_{DD}$ とグラウンドGNDとの間に配置されている。また製品回路部13も電源 $V_{DD}$ とグラウンドGNDとの間に配置されている。これら電源 $V_{DD}$ とグラウンドGNDは、半導体装置の複数のパッケージ

ピンのうちの電源ピンおよびグラウンドピン（図示せず）に接続されている。

【0009】またスイッチトランジスタ12は、モニタ素子11の有する抵抗値に比べて小さなオン抵抗値を有する。このスイッチトランジスタ12の入力は、制御回路14に接続されている。制御回路14は、通常モード時には‘L’レベル、テストモード時には‘H’レベルの制御信号を出力する。製品回路部13の特性をモニタするには、半導体装置をテストモードにして、半導体装置の消費電力の変化を抑ええるようにする。また制御回路14を経由してスイッチトランジスタ12に‘H’レベルの制御信号を入力する。すると、スイッチトランジスタ12がオン状態になりモニタ素子11に電源 $V_{DD}$ からグラウンドGNDに向けて電流が流れる。モニタ素子11に流れる電流は、半導体集積回路の電源電流を測定することにより間接的に得られる。この電流に基づいて製品回路部13の特性をモニタする。

【0010】本実施形態の半導体装置では、複数の製品回路部13に対応して同一仕様の複数のモニタ素子11が配置されており、これら複数のモニタ素子11の電流に基づいて複数の製品回路部13の特性のばらつきをモニタするものであるため、複数の製品回路部13が均一に形成されたか否かを知ることができる。従って、工程へのフィードバックを効率的に行なうことができ、歩留りが低下した場合等の対策が容易になる。また市場で性能の劣化等の不具合が発生した場合であっても、その不具合品の原因調査や対策が短期間で済む。

【0011】また、モニタ素子に流れる電流は電源電流に基づいて知ることができるため、モニタ素子専用のパッケージピンは不要である。図2は、本発明の半導体装置の第2実施形態の主要部を示す回路図である。図2に示すモニタ素子21は、トランジスタ素子であって、電源 $V_{DD}$ とグラウンドGNDとの間に配置されている。またモニタ素子21の入力は、制御回路22に接続されている。

【0012】ここで、製品回路部23の特性をモニタするには、半導体装置をテストモードにする。また制御回路22を経由して‘H’レベルの制御信号をモニタ素子21に入力する。すると、モニタ素子21がオン状態になり電源 $V_{DD}$ からグラウンドGNDに向けてモニタ素子21に電流が流れる。この電流は電源電流を測定することにより間接的に得ることができる。この電流に基づいて製品回路部23の特性をモニタする。

【0013】図3は、本発明の半導体装置の第3実施形態の主要部を示す回路図である。尚、図2に示す半導体装置と同じ構成要素には同一の番号を付して説明する。図3に示す入力パッケージピン32は、製品回路部31に接続されている。モニタ素子21は、この入力パッケージピン32とグラウンドGNDとの間に配置されている。

【0014】製品回路部31の特性をモニタするには、半導体装置をテストモードにする。また入力パッケージピン32に所望の電圧を外部から印加する。さらに、制御回路22を経由して‘H’レベルの信号をモニタ素子21に入力する。すると、モニタ素子21がオン状態になり、モニタ素子21には、入力パッケージピン32に印加された電圧に応じた電流が流れる。この電流を測定することにより製品回路部31の特性をモニタする。

【0015】尚、本実施形態では、入力パッケージピン32を用いた例で説明したが、これに限られるものではなく、テストモードにおいてハイ・インピーダンス状態になる信号が出力される出力パッケージピンを用いてモニタ素子21に電流を流して製品回路部31の特性をモニタしてもよい。

【0016】

【発明の効果】以上説明したように、本発明の半導体装置は、特性のばらつきをモニタするための同一仕様の複数のモニタ素子を備えたものであるため、工程へのフィードバックを効率的に行なうことができ、歩留りが低下した場合等の対策が容易になる。また、市場で性能の劣化等の不具合が発生した場合であっても、その不具合品の原因調査や対策を短期間で行なうことができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の第1実施形態の主要部を示す回路図である。

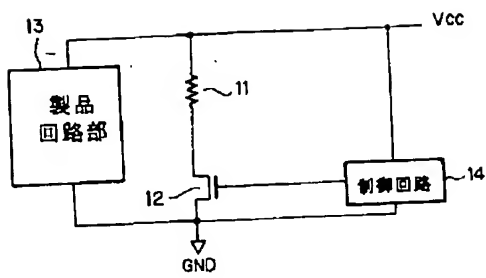
【図2】本発明の半導体装置の第2実施形態の主要部を示す回路図である。

【図3】本発明の半導体装置の第3実施形態の主要部を示す回路図である。

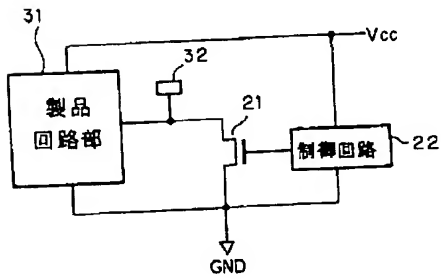
【符号の説明】

11, 21    モニタ素子  
12    スwitchトランジスタ  
13, 23, 31    製品回路部  
14, 22    制御回路  
32    入力パッケージピン

【図1】



【図3】



【図2】

